

Docket No.: 22171-00007-US  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Chao Chin-Chieh, et al.

Application No.: Not Yet Assigned

Confirmation No.:

Filed: Concurrently Herewith

Art Unit: N/A

For: CLOCK MULTIPLIER

Examiner: Not Yet Assigned

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Taiwan, Republic of China	092113767	May 21, 2003

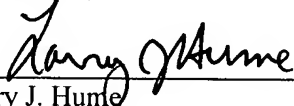
In support of this claim, a certified copy of the said original foreign application is filed herewith.

Applicant believes no fee is due with this response. However, if a fee is due, please charge our Deposit Account No. 22-0185, under Order No. 22171-00007-US from which the undersigned is authorized to draw.

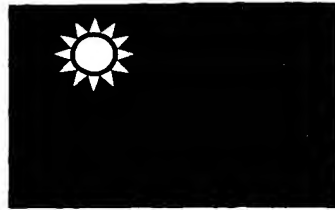
Dated: August 27, 2003

Respectfully submitted,

By

  
Larry J. Hume

Registration No.: 44,163  
CONNOLLY BOVE LODGE & HUTZ LLP  
1990 M Street, N.W., Suite 800  
Washington, DC 20036-3425  
(202) 331-7111  
(202) 293-6229 (Fax)



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2003 年 05 月 21 日  
Application Date

申 請 案 號：092113767  
Application No.

申 請 人：世紀民生科技股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

發文日期：西元 2003 年 8 月 13 日  
Issue Date

發文字號：09220814330  
Serial No.

# 發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：\_\_\_\_\_ ※IPC分類：\_\_\_\_\_

※申請日期：\_\_\_\_\_

## 壹、發明名稱

(中文) 倍頻器

(英文)

## 貳、發明人(共3人)

發明人 1 (如發明人超過一人，請填**說明書發明人續頁**)

姓名：(中文) 趙晉傑

(英文) CHAO CHIN-CHIEH

住居所地址：(中文) 新竹縣芎林鄉上山村三民路73巷6號

(英文)

國籍：(中文) 中華民國

(英文)

## 參、申請人(共1人)

申請人 1 (如申請人超過一人，請填**說明書申請人續頁**)

姓名或名稱：(中文) 世紀民生科技股份有限公司

(英文) MYSON CENTURY, INC.

住居所或營業所地址：(中文) 新竹科學工業園區新竹市工業東三路2號

(英文)

國籍：(中文) 中華民國

(英文)

代表人：(中文) 徐善可

(英文)

發明人 2

姓名：(中文) 蘇肇平

(英文) SU CHAO-PING

住居所地址：(中文) 新竹市中華路一段 384 巷 7 弄 5 號 4 樓

(英文)

國籍：(中文) 中華民國

(英文)

發明人 3

姓名：(中文) 陳彥光

(英文) CHEN YEN-KUANG

住居所地址：(中文) 嘉義市東區國光新村 51 號之 1

(英文)

國籍：(中文) 中華民國

(英文)

## 肆、中文發明摘要

本發明揭示一可調整輸出時脈之責任週期之倍頻器，其包含一第一壓控延遲倍頻電路、一反相器、一第一低通濾波器、一第二低通濾波器及一運算放大器。該第一壓控延遲倍頻電路係用以接收時脈，且將該時脈進行倍頻。該反相器係用以將該第一壓控延遲倍頻電路之輸出時脈進行反相。該第一低通濾波器係接收該反相器之輸出時脈以進行充放電。該第二低通濾波器係接收該第一壓控延遲倍頻電路之輸出時脈以進行充放電。該運算放大器係用以比較該第一低通濾波器及第二低通濾波器之輸出電壓以進行回授控制，藉以調整該第一壓控延遲倍頻電路之輸出時脈之責任週期以趨近50%。

## 伍、英文發明摘要

陸、(一)、本案指定代表圖為：第3圖

(二)、本代表圖之元件代表符號簡單說明：

30 二倍倍頻器

31 第一壓控延遲倍頻電路

311 第一電壓控制延遲電路

312 第一互斥或閘

32 第一低通濾波器

33 第二低通濾波器

34 反相器

35 運算放大器

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 捌、聲明事項

☐ 本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：\_\_\_\_\_

☒ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 本案在向中華民國提出申請前未曾向其他國家提出申請專利。

2. \_\_\_\_\_

3. \_\_\_\_\_

☐ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

4. \_\_\_\_\_

5. \_\_\_\_\_

6. \_\_\_\_\_

7. \_\_\_\_\_

8. \_\_\_\_\_

9. \_\_\_\_\_

10. \_\_\_\_\_

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

☐ 熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

### 技術領域

本發明係關於一種倍頻器 (clock multiplier)，特別是關於一種可調整輸出時脈之責任週期 (duty cycle) 之倍頻器。

### 先前技術

隨著半導體元件對時脈頻率需求的提升，目前內建式 (on-chip) 時脈倍頻器已被廣泛採用。傳統上時脈倍頻器可採用成本較高的鎖相迴路 (Phase-Lock Loop, PLL) 電路製作，或使用傳統的二倍倍頻器 (clock doubler) 技術。

圖 1 顯示應用 PLL 技術之一倍頻器 10 之功能方塊圖。該倍頻器 10 係由一除 M 計數器 (divided-by-M counter) 11、一相位-頻率偵測器 (phase-frequency detector) 12、一充電幫浦 (charge pump) 13、一迴路濾波器 (loop filter) 14、一電壓控制振盪器 (Voltage Controlled Oscillator, VCO) 15 及一除 N 計數器 (divided-by-N counter) 16 所構成。依據該倍頻器 10 的設計，其輸出時脈 CLKOUT 的頻率將等於輸入時脈 CLKIN 的頻率乘以  $N/M$ 。然由於 PLL 電路較為複雜且成本較高，故大幅限制了其於倍頻器上之應用。

圖 2 顯示一習知的二倍倍頻器 20 之電路結構及其時序 (timing) 圖。該二倍倍頻器 20 係由一延遲 (delay) 電路 22 及一互斥或閘 (Exclusive OR, XOR) 24 構成。假設該輸入時脈的週期為 T，該延遲電路 22 係用以產生一延遲  $T/4$  之延遲時脈。如此一來，該輸入時脈 CLKIN 與該延遲時脈 (CLKDLY) 同時輸入該互斥或閘 24，即可產生兩倍頻率之



輸出時脈 CLKOUT。雖然該二倍倍頻器 20 較為簡單、便宜，但其使用上仍受到相當限制。第一，該延遲電路 22 僅能產生固定的延遲時脈，無法隨輸入頻率之變動而任意調整。故當時脈頻率改變時，該延遲電路 22 必須配合更換。第二，該延遲電路 22 為一電阻-電容(RC)組成之結構，該 RC 的電性會隨著製程、溫度、電壓及時脈頻率的變化而改變，進而影響其輸出時脈的責任週期。

由於倍頻器已被廣泛地運用於各種數位積體電路內，然習知之倍頻器不是成本太高即是功能不符所需，因此市場上適切需要一低成本且可調整輸出時脈之責任週期之倍頻器。

#### 技術內容

本發明的主要目的係提供一可穩定控制輸出時脈之責任週期的倍頻器，以克服設計限制製程飄移或溫度變動對其所造成的影響。在理想狀況下，本發明之倍頻器可將輸出時脈的責任週期控制在 50%，以提供良好之輸出時脈的品質。

本發明之倍頻器包含一第一壓控延遲倍頻電路、一反相器、一第一低通濾波器、一第二低通濾波器及一運算放大器。該第一壓控延遲倍頻電路係用以接收時脈，且將該時脈進行倍頻。該反相器係用以將該第一壓控延遲倍頻電路之輸出時脈進行反相。該第一低通濾波器係接收該反相器之輸出時脈以進行充放電。該第二低通濾波器係接收該第一壓控延遲倍頻電路之輸出時脈以進行充放電。該運算放

(3)

大器係用以比較該第一低通濾波器及第二低通濾波器之輸出電壓以進行回授控制，藉以調整該第一壓控延遲倍頻電路之輸出時脈之責任週期以趨近 50%。若該時脈為全電壓擺動 (full voltage swing) 形式，可將該時脈之供應電壓的二分之一作為一參考電壓，以代替該第一低通濾波器及反相器，藉以簡化電路元件。

就二倍倍頻器而言，上述之第一壓控延遲倍頻電路可由一第一電壓控制延遲電路 (Voltage Controlled Delay Line, VCDL) 及一第一互斥或閘構成，其中該第一電壓控制延遲電路係用以延遲該時脈，且利用該運算放大器之輸出電壓以調整該時脈之延遲時間。該第一互斥或閘則分別接收該時脈及該第一電壓控制延遲電路之輸出時脈，以進行該時脈之倍頻。

本發明之回授控制亦可適用於三倍頻或四倍頻等其他倍數的倍頻器，只需改變該第一壓控延遲倍頻電路之內部設計，即可製作同樣具有調整時脈責任週期功能之倍頻器。

#### 實施方式

首先將下列實施例中之各倍頻器的輸入時脈定義為 CLKIN，且該 CLKIN 的週期為 T，而該倍頻器之輸出時脈定義為 CLKOUT，以便於說明。

請同時參照圖 3 及圖 4，其中圖 3 顯示本發明之二倍倍頻器 30 之電路結構，圖 4 則為其於各點之時序 (timing) 圖。本發明之第一實施例之二倍倍頻器 30 包含一第一壓控延

遲倍頻電路 31、一反相器 34、一第一低通濾波器 32、一第二低通濾波器 33 及一運算放大器 35。該第一壓控延遲倍頻電路 31 之輸入端接收時脈 CLKIN，而輸出端之時脈 CLKOUT 則可經由該反相器 34、第一低通濾波器 32、第二低通濾波器 33 及運算放大器 35 進行回授控制。該第一壓控延遲倍頻電路 31 係由一第一電壓控制延遲電路 311 及一第一互斥或閘 312 組成。該第一互斥或閘 312 之一輸入端直接接收該輸入時脈 CLKIN，另一輸入端則接收該輸入時脈 CLKIN 經該第一電壓控制延遲電路 311 所產生延遲  $T/4$  之延遲時脈。藉此，該第一互斥或閘 312 之輸出時脈 CLKOUT 即可產生二倍頻的效果。

理論上，若該第一電壓控制延遲電路 311 可準確地將時脈 CLKIN 延遲  $T/4$ ，此時該時脈 CLKOUT 之責任週期將為 50%。假設該時脈 CLKIN 經由該第一電壓控制延遲電路 311（即圖 3 中之 A 點）產生小於  $T/4$  的延遲（如圖 4 上方 A 點的時序圖），此時其輸出時脈 CLKOUT 之責任週期將失衡，其於高準位之比例遠小於低準位。該輸出時脈 CLKOUT 經由該反相器 34 反相後（即圖 3 中 B 點），其高準位之比例反而遠大於低準位。因低通濾波器簡單來說可視為由電阻-電容等元件組成，當時脈輸入訊號為高準位時將對電容進行充電；反之，於低準位時則進行放電。由於本實施例之時脈於高、低準位的比例不均，使得該第一低通濾波器 32 和該第二低通濾波器 33 進行充電和放電之時間不等。對圖 3 之 C 點而言，由於放電之時間很短

暫，電荷在未被完全釋放時即再行充電，因此電壓一直維持上升。相對地對圖 3 之 D 點而言，由於充電的時間很短暫，電荷在未被完全充飽前即再進行放電，因此電壓一直維持下降。該運算放大器 35 之輸出電壓等於該第一低通濾波器 32 的輸出電壓（即 C 點）減去該第二低通濾波器 33 的輸出電壓（即 D 點）後再乘上一係數值，故本實施例中之該運算放大器 35 之輸出電壓將增加，促使該第一電壓控制延遲電路 311 增加其輸出時脈之延遲時間而逐漸趨近  $T/4$ 。請注意，該運算放大器 35 僅為一示意功能，在實際製作時可使用比較器或一般電晶體所組成之放大器，本發明對此並未作任何之限制。此時輸出時脈 CLKOUT 與 B 點之責任週期皆將趨近 50%（如圖 4 下方之時序圖所示）。至此，該第一電壓控制延遲電路 311 將不再進行時脈延遲的調整而趨於平衡。

若該輸入時脈 CLKIN 為全電壓擺動形式，其高準位之電壓等於其供應電壓  $V_{DD}$ ，而低準位為接地電壓，則可利用一參考電壓  $V_{DD}/2$  代替該反相器 34 和第一低通濾波器 32 而得到相同之效果，如圖 5 所示之本發明之第二實施例之二倍倍頻器 50。以下本發明之各實施例均可利用類似圖 5 之方式完成。

請同時參照圖 6 及圖 7，其中圖 6 為一同樣利用上述原理製作之三倍倍頻器 60 之電路結構示意圖，圖 7 則為其於各點之時序圖。該三倍倍頻器 60 包含一第一壓控延遲倍頻電路 61、一反相器 64、一第一低通濾波器 62、一第

二低通濾波器 63 及一運算放大器 65。該輸入時脈 CLKIN 輸入於該第一壓控延遲倍頻電路 61，而其輸出端之輸出時脈 CLKOUT 則可經由該反相器 64、第一低通濾波器 62、第二低通濾波器 63 及運算放大器 65 進行回授控制，用以調整該第一壓控延遲倍頻電路 61 之時脈延遲時間。該壓控延遲倍頻電路 61 係由一第一電壓控制延遲電路 611 及一互斥或閘 612、一第二電壓控制延遲電路 613 及一互斥非或閘 (XNOR) 614 組成。該輸入時脈 CLKIN 及其經該第一電壓控制延遲電路 611 調整後之輸出時脈分別輸入該互斥或閘 612 之兩個輸入端。該第一電壓控制延遲電路 611 可將輸入時脈 CLKIN 延遲  $T/6$  (A 點)，使得該互斥或閘 612 之輸出時脈 (B 點) 之頻率為輸入時脈 CLKIN 的兩倍，但其責任週期約為三分之一。A 點之時脈再經該第二電壓控制延遲電路 613 延遲  $T/6$  後 (C 點) 輸入該互斥非或閘 614。該互斥非或閘 614 的另一輸入端則接收該互斥或閘 612 的輸出時脈，而其最終之輸出將為頻率三倍於該輸入時脈 CLKIN 之輸出時脈 CLKOUT。若該輸出時脈 CLKOUT 之責任週期並非為 50%，其同樣可利用上述原理，以該第一低通濾波器 62、第二低通濾波器 63、反相器 64 及運算放大器 65 所構成的回授電路進行調整，使得該輸出時脈 CLKOUT 的責任週期趨近 50%。

參照圖 8 及圖 9，其中圖 8 為本發明之第四實施例之四倍倍頻器 80，圖 9 則為其於各點之時序圖。該四倍倍頻器 80 的原理類似結合兩個二倍倍頻器，逐次將輸入時脈

CLKIN 的頻率由兩倍增至四倍。該四倍倍頻器 80 包含一第一壓控延遲倍頻電路 81、一第二壓控延遲倍頻電路 86、一反相器 84、一第一低通濾波器 82、一第二低通濾波器 83 及一運算放大器 85。該第一壓控延遲倍頻電路 81 包含一第一電壓控制延遲電路 814 及一第一互斥或閘 813，其作用如前述之該二倍倍頻器 30 之第一壓控延遲倍頻電路 31，用以將輸入時脈 CLKIN 進行二倍頻。該第二壓控延遲倍頻電路 86 包含一第二電壓控制延遲電路 861 及一第二互斥或閘 862。該第一互斥或閘 813 之輸入端接受該輸入時脈 CLKIN 及該第一電壓控制延遲電路 814 之輸出時脈（A 點），而其輸出端（B 點）則輸出頻率則為兩倍之時脈 CLK2X。該第二互斥或閘 862 之兩輸入端分別接受該時脈 CLK2X 及該時脈 CLK2X 經第二電壓控制延遲電路 861 之輸出時脈（C 點），其最終輸出該輸出時脈 CLKOUT。同樣地，該第一壓控延遲倍頻電路 81 之輸出時脈 CLK2X 係由該反相器 84、第一低通濾波器 82、第二低通濾波器 83 及運算放大器 85 進行回授控制。若該輸出時脈 CLKOUT 之責任週期並非為 50%，即可藉其調整該第一電壓控制延遲電路 814 及第二電壓控制延遲電路 861 之輸出時脈的延遲時間。上述之第一電壓控制延遲電路 814 及第二電壓控制延遲電路 861 係在相同控制電壓下，分別用以延遲  $T/4$  及  $T/8$ ，而得以產生四倍頻的效果。

圖 10 顯示本發明之第五實施例之四倍倍頻器 100，其係將第四實施例之該第一電壓控制延遲電路 814 由兩個

延遲時間為  $T/8$  之第三電壓控制延遲電路 811 及第四電壓控制延遲電路 812 串聯替代，其餘元件則維持相同。同樣地，該第三電壓控制延遲電路 811 及第四電壓控制延遲電路 812 可藉由該反相器 84、第一低通濾波器 82、第二低通濾波器 83 及運算放大器 85 進行回授控制，而得以調整輸出時脈 CLKOUT 的責任週期。如此一來，該第二、第三及第四電壓控制延遲電路 861、811 及 812 係同樣為延遲  $T/8$  的設計，使得在相同控制電壓下，A 點較 CLKIN 延遲  $T/4$ ，C 點較 CLK2X 延遲  $T/8$ ，以達成單一控制延遲電壓之效果。

本發明之技術內容及技術特點已揭示如上，然而熟悉本項技術之人士仍可能基於本發明之教示及揭示而作種種不背離本發明精神之替換及修飾。因此，本發明之保護範圍應不限於實施例所揭示者，而應包括各種不背離本發明之替換及修飾，並為以下之申請專利範圍所涵蓋。

#### 圖式簡單說明

本發明將依照後附圖式加以說明，其中：

圖 1 顯示習知之鎖相迴路之倍頻器；

圖 2 顯示習知之倍頻器及其時序；

圖 3 顯示本發明之第一實施例之二倍倍頻器之電路結構；

圖 4 係圖 3 之二倍倍頻器之時序圖；

圖 5 顯示本發明之第二實施例之二倍倍頻器之電路結構；

圖 6 顯示本發明之第三實施例之三倍倍頻器之電路結構；

圖 7 係圖 6 之三倍倍頻器之時序圖；

圖 8 顯示本發明之第四實施例之四倍倍頻器之電路結構；

圖 9 係圖 8 之四倍倍頻器之時序圖；及

圖 10 顯示本發明之第五實施例之四倍倍頻器之電路結構。

#### 元件符號說明

10 倍頻器	11 除 M 計數器
12 相位-頻率偵測器	13 充電幫浦
14 迴路濾波器	15 電壓控制振盪器
16 除 N 計數器	20 二倍倍頻器
22 延遲電路	24 互斥或閘
50 二倍倍頻器	60 三倍倍頻器
61 第一壓控延遲倍頻電路	611 第一電壓控制延遲電路
612 互斥或閘	613 第二電壓控制延遲電路
614 互斥或非閘	62 第一低通濾波器
63 第二低通濾波器	64 反相器
65 運算放大器	
80 四倍倍頻器	81 第一壓控延遲倍頻電路
813 第一互斥或閘	814 第一電壓控制延遲電路
86 第二壓控延遲倍頻電路	861 第二電壓控制延遲電路
862 第二互斥或閘	82 第一低通濾波器



83 第二低通濾波器

84 反相器

85 運算放大器

100 四倍倍頻器

811 第三電壓控制延遲電路 812 第四電壓控制延遲電路

## 拾、申請專利範圍

### 1. 一種倍頻器，包含：

一第一壓控延遲倍頻電路，依據一延遲時間將一輸入時脈進行倍頻；

一反相器，用以將該第一壓控延遲倍頻電路之輸出時脈進行反相；

一第一低通濾波器，連接至該反相器之輸出；

一第二低通濾波器，連接至該第一壓控延遲倍頻電路之輸出；及

一放大器，用以比較該第一低通濾波器及第二低通濾波器之輸出電壓，且藉以回授控制該第一壓控延遲倍頻電路之延遲時間。

### 2. 如申請專利範圍第1項之倍頻器，其中該第一壓控延遲倍頻電路包含：

一第一電壓控制延遲電路，依據該延遲時間延遲該輸入時脈；及

一第一互斥或閘，連接至該輸入時脈和該第一電壓控制延遲電路之輸出。

### 3. 如申請專利範圍第2項之倍頻器，其中該第一電壓控制延遲電路係用於將該輸入時脈延遲四分之一週期。

### 4. 如申請專利範圍第2項之倍頻器，其係一種二倍倍頻器。

### 5. 如申請專利範圍第1項之倍頻器，其中該第一壓控延遲倍頻電路之輸出時脈之責任週期約為50%。

6. 如申請專利範圍第1項之倍頻器，其中該第一壓控延遲倍頻電路包含：

一第一電壓控制延遲電路，依據該延遲時間延遲該輸入時脈；

一互斥或閘，連接至該輸入時脈和該第一電壓控制延遲電路之輸出；

一第二電壓控制延遲電路，依據該延遲時間延遲該第一電壓控制延遲電路之輸出；及

一互斥非或閘，連接至該互斥或閘和該第二電壓控制延遲電路之輸出。

7. 如申請專利範圍第6項之倍頻器，其中該第一電壓控制延遲電路及第二電壓控制延遲電路係用以將該輸入時脈及第一電壓控制延遲電路之輸出延遲六分之一週期。

8. 如申請專利範圍第6項之倍頻器，其係一種三倍倍頻器。

9. 如申請專利範圍第2項之倍頻器，其另包含一第二壓控延遲倍頻電路，該第二壓控延遲倍頻電路包含：

一第二電壓控制延遲電路，依據該延遲時間延遲該第一互斥或閘之輸出；及

一第二互斥或閘，連接至該第一互斥或閘和該第二電壓控制延遲電路之輸出。

10. 如申請專利範圍第9項之倍頻器，其中該第一電壓控制延遲電路及第二電壓控制延遲電路係用以將該輸入時脈及該第一互斥或閘之輸出分別延遲四分之一週期及



八分之一週期。

11. 如申請專利範圍第9項之倍頻器，其係一種四倍倍頻器。

12. 如申請專利範圍第10項之倍頻器，其中該第一電壓控制延遲電路可由一第三電壓控制延遲電路及一第四電壓控制延遲電路串接組成，該第三電壓控制延遲電路及第四電壓控制延遲電路係用以分別將該輸入時脈延遲八分之一週期。

13. 一種倍頻器，包含：

一第一壓控延遲倍頻電路，依據一延遲時間將一輸入時脈進行倍頻；

一第二低通濾波器，連接至該第一壓控延遲倍頻電路之輸出；及

一放大器，用以比較一供應電壓的二分之一及該第二低通濾波器之輸出，且藉以回授控制該第一壓控延遲倍頻電路之延遲時間。

14. 如申請專利範圍第13項之倍頻器，其中該第一壓控延遲倍頻電路包含：

一第一電壓控制延遲電路，依據該延遲時間延遲該輸入時脈；及

一第一互斥或閘，連接至該輸入時脈和該第一電壓控制延遲電路之輸出。

15. 如申請專利範圍第13項之倍頻器，其中該第一壓控延遲倍頻電路之輸出時脈之責任週期約為50%。

16. 如申請專利範圍第13項之倍頻器，其中該第一壓控延遲倍頻電路包含：

一第一電壓控制延遲電路，依據該延遲時間延遲該輸入時脈；

一互斥或閘，連接至該輸入時脈和該第一電壓控制延遲電路之輸出；

一第二電壓控制延遲電路，依據該延遲時間延遲該第一電壓控制延遲電路之輸出；及

一互斥非或閘，連接至該互斥或閘和該第二電壓控制延遲電路之輸出。

17. 如申請專利範圍第13項之倍頻器，其另包含一第二壓控延遲倍頻電路，該第二壓控延遲倍頻電路包含：

一第二電壓控制延遲電路，依據該延遲時間延遲該第一互斥或閘之輸出；及

一第二互斥或閘，連接至該第一互斥或閘和該第二電壓控制延遲電路之輸出。

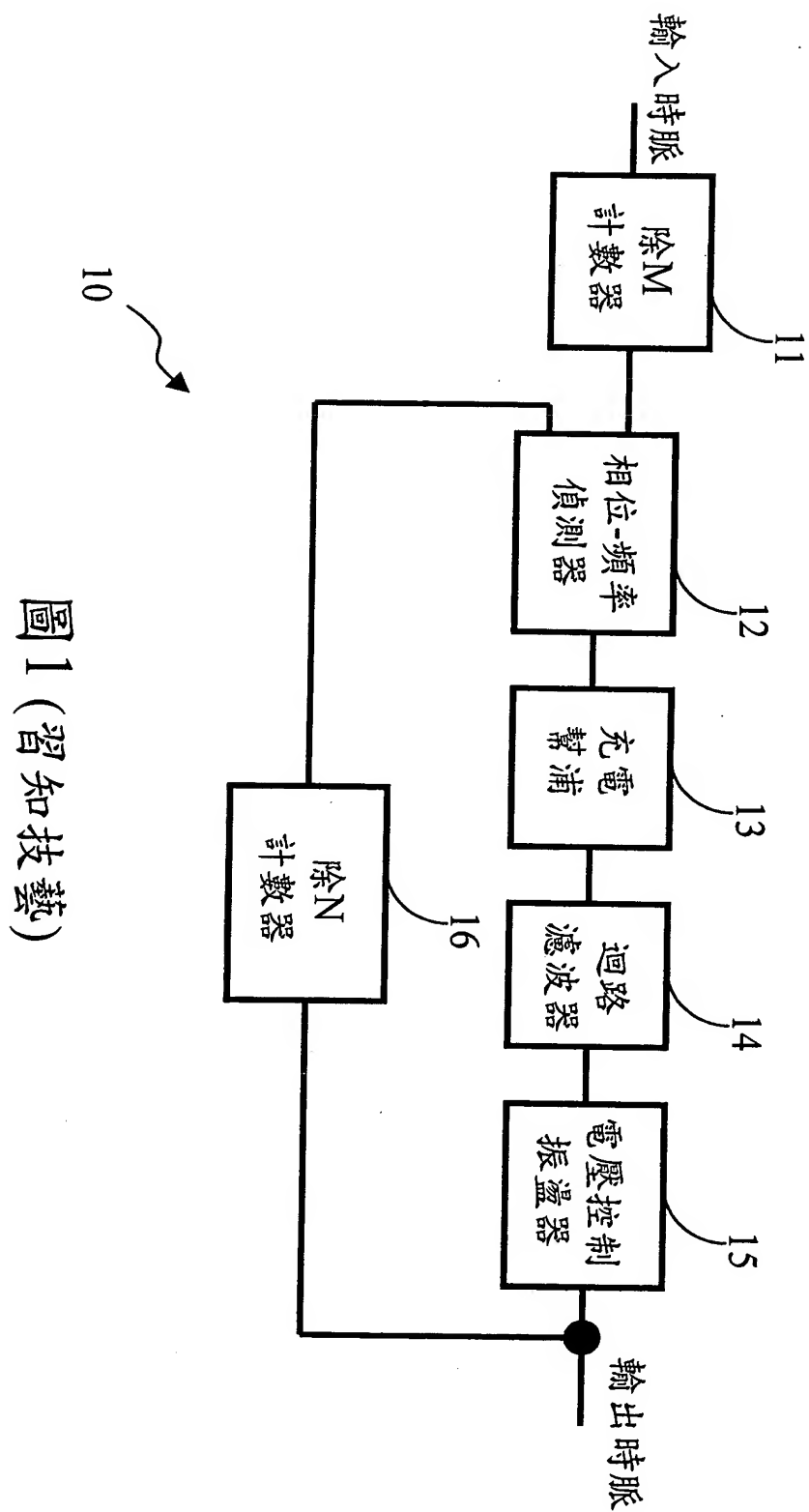


圖 1 (習知技藝)

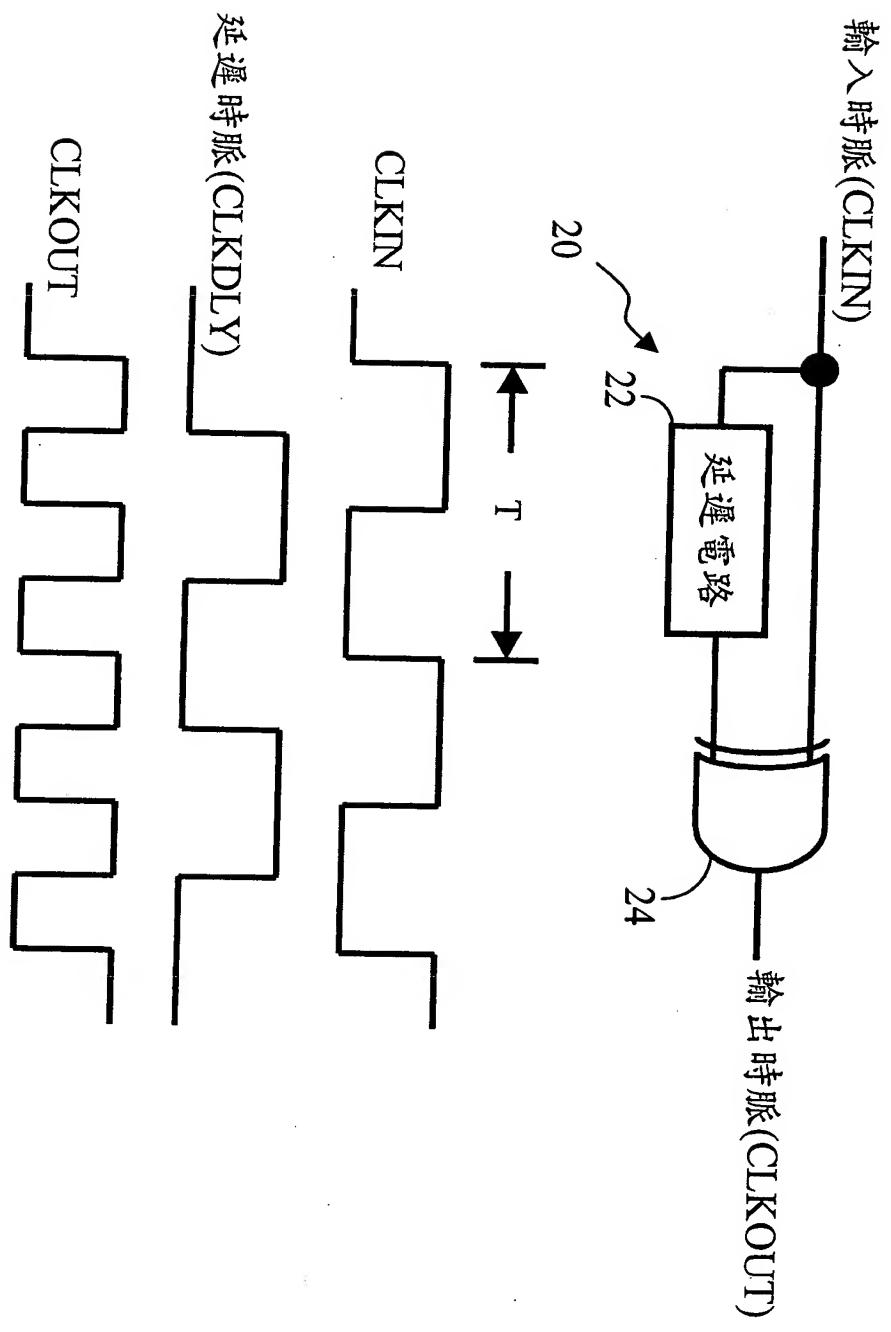


圖2 (習知技藝)



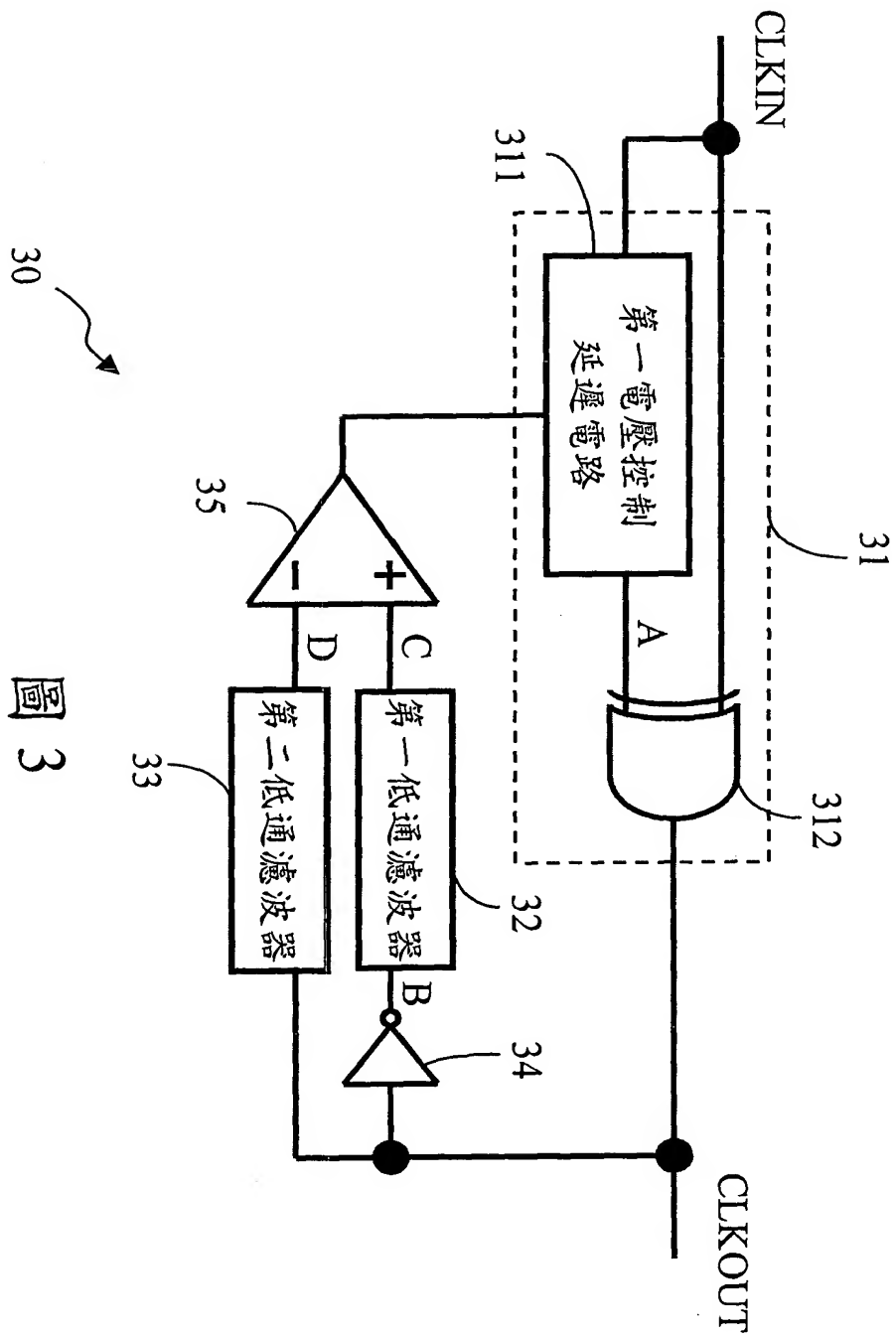


圖 3

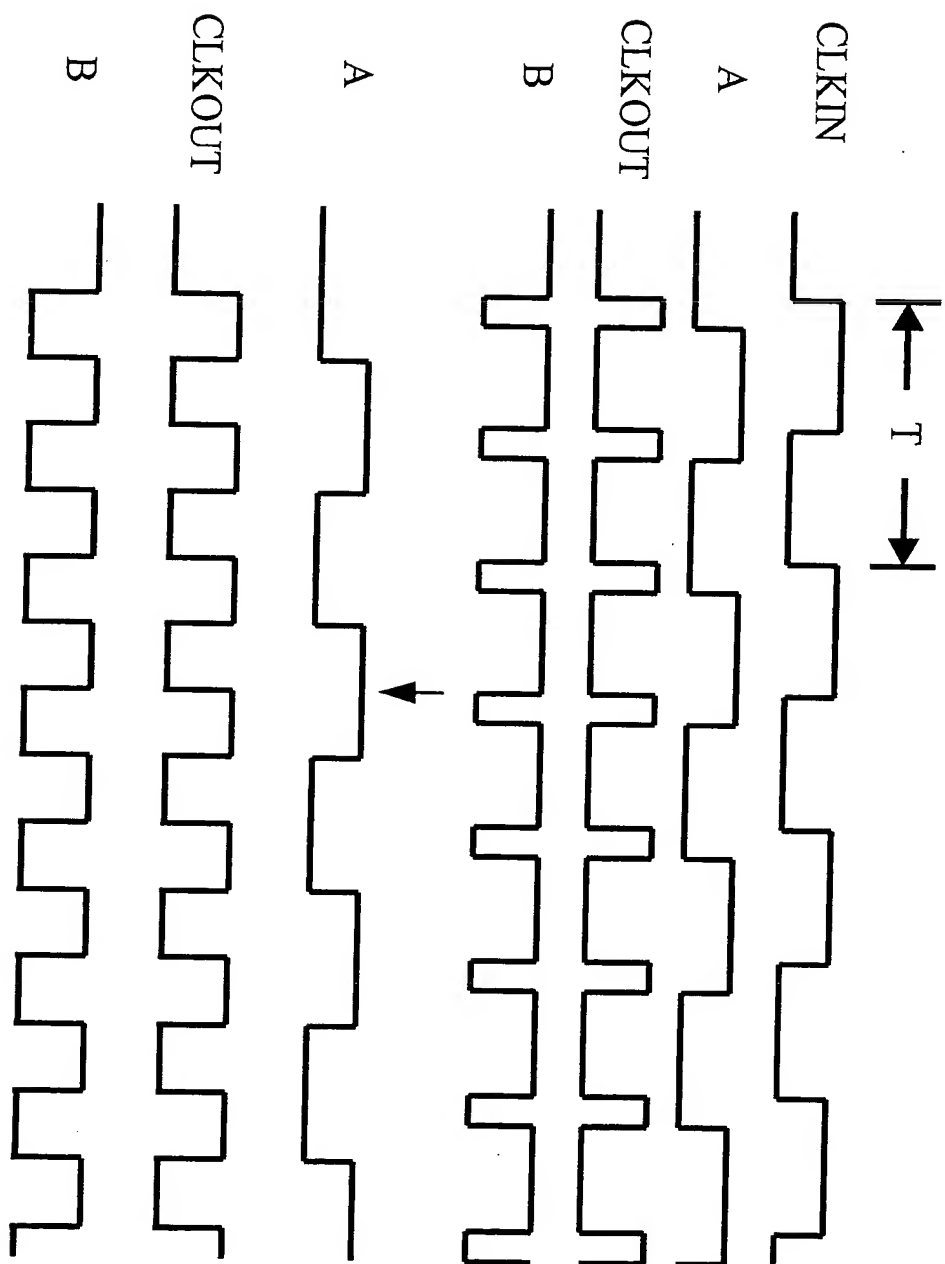


圖 4

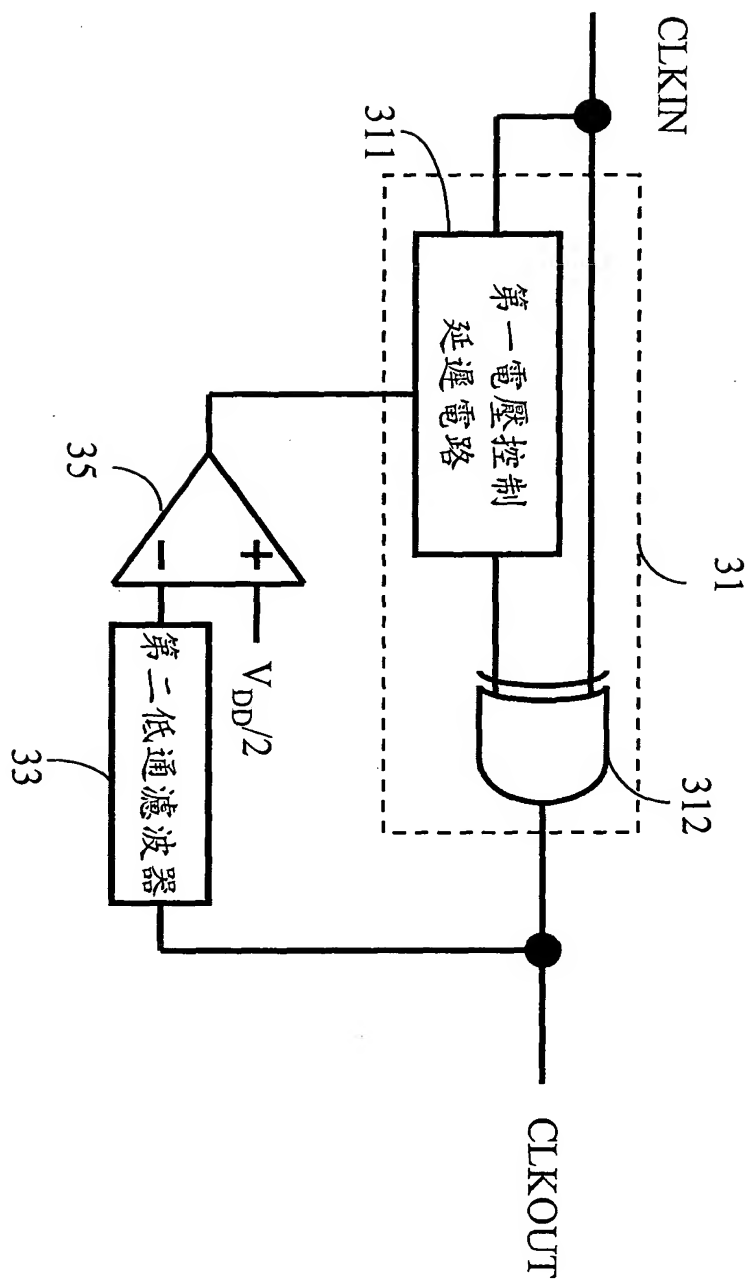


圖 5

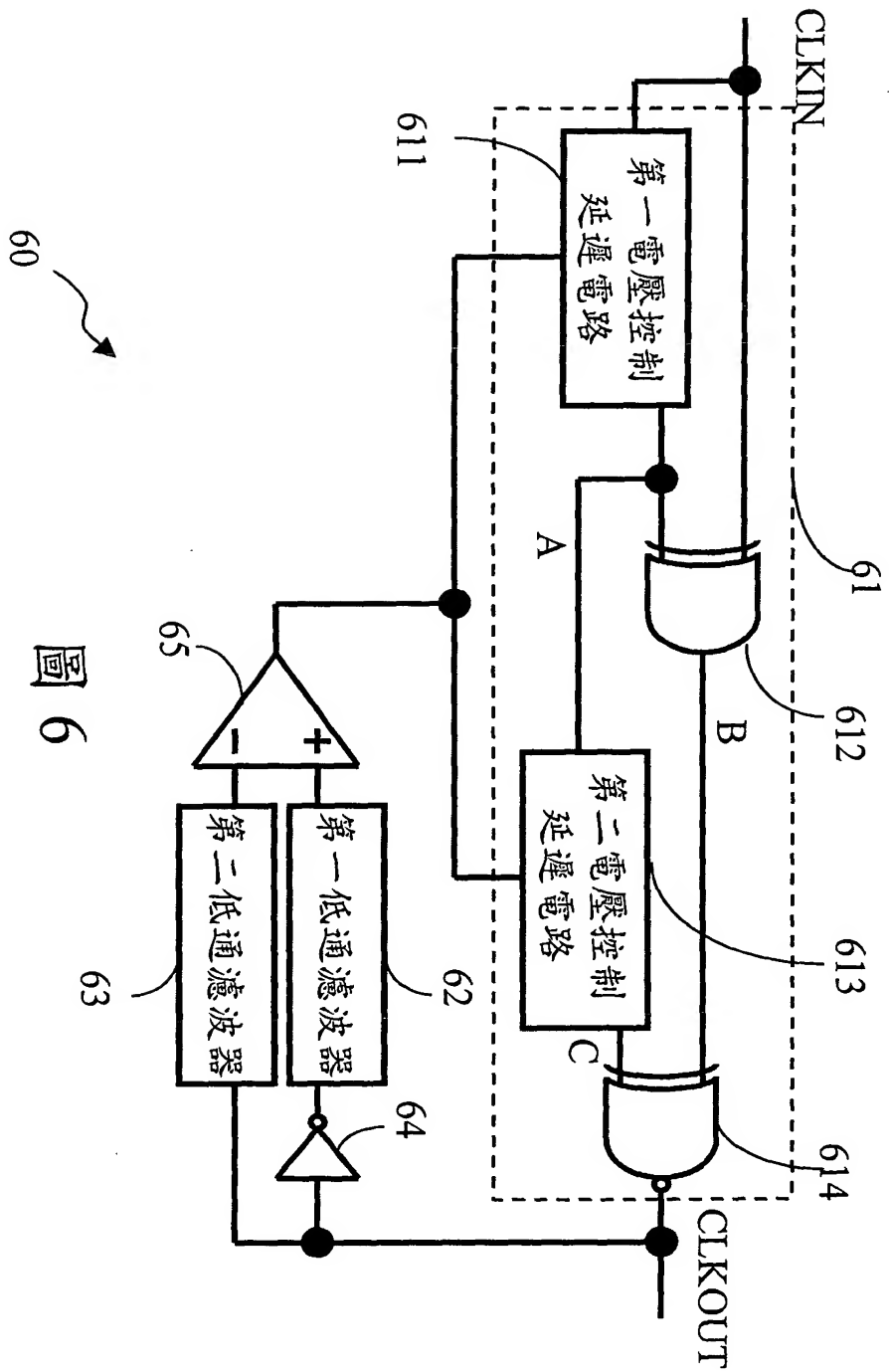


圖 6

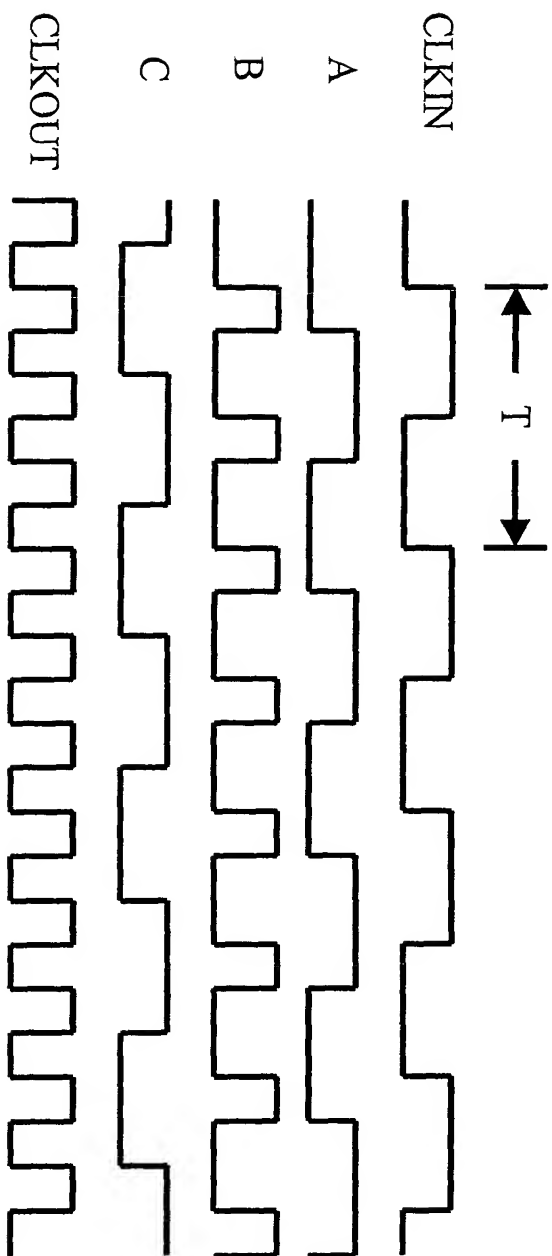


圖 7

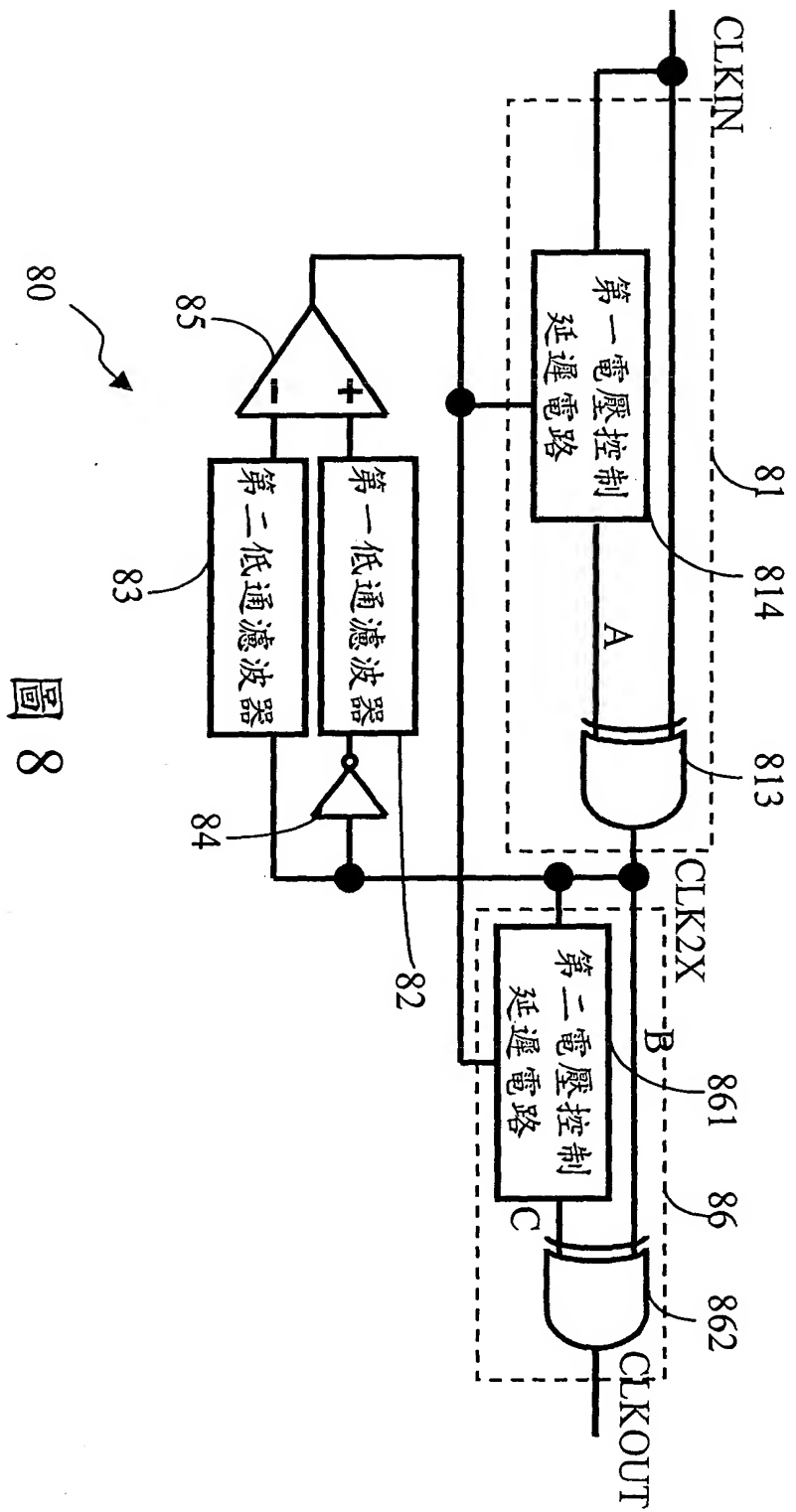


圖 8

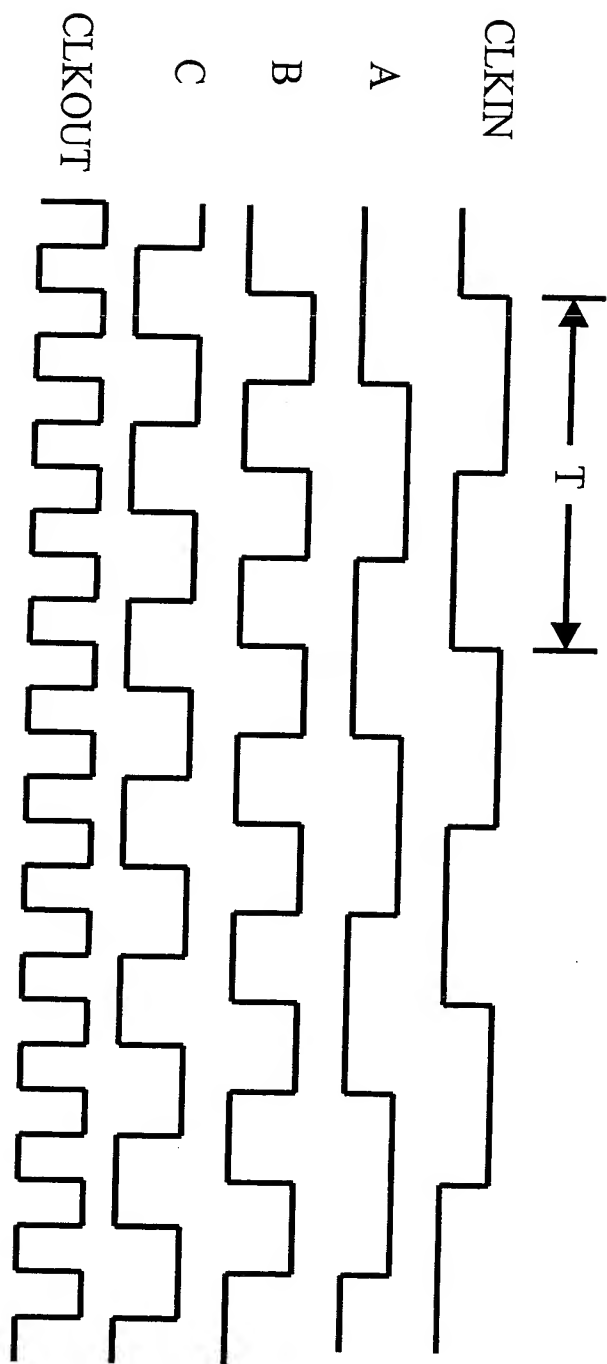


圖 9

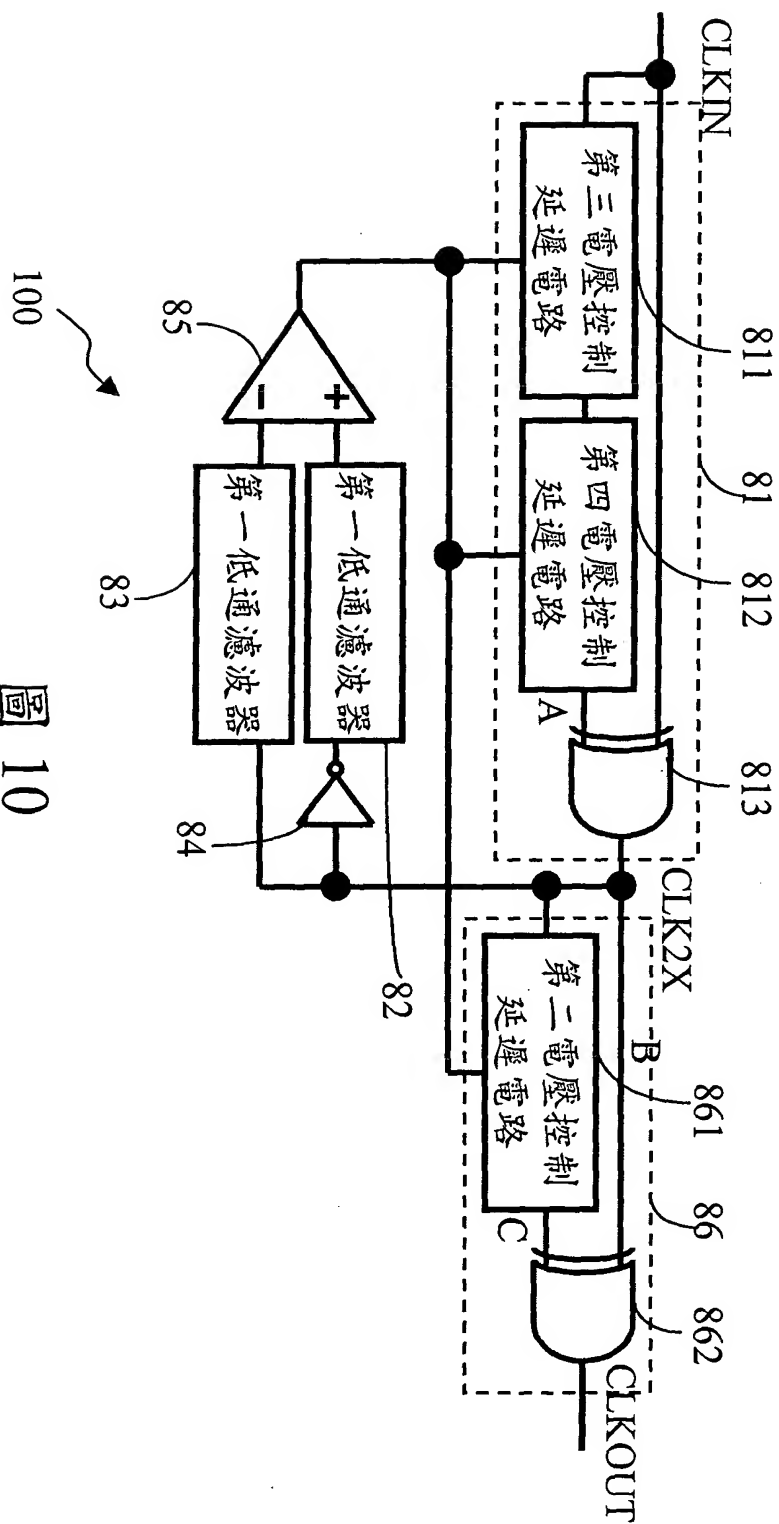


圖 10